



(11) Publication number: **03066213**

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 01203155

(51) Intl. Cl.: H03B 5/18

(22) Application date: 04.08.89

(30) Priority:	(71) Applicant: MITSUBISHI ELECTRIC CORP
(43) Date of application publication: 20.03.91	(72) Inventor: ITO KENJI HIDA AKIO
(84) Designated contracting states:	(74) Representative:

### (54) MICROWAVE OSCILLATOR

#### (57) Abstract:

**PURPOSE:** To suppress spurious oscillation by connecting a FET to ground through a parallel circuit comprising a series resonance element and a sustenance element.

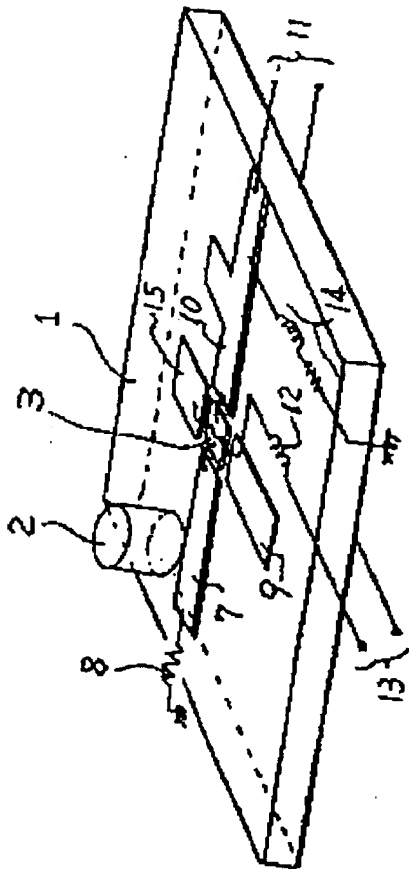
**CONSTITUTION:** A parallel circuit 16 is connected to a drain terminal 6. A drain terminal 6 of a FET 3 is connected to ground similarly as a conventional constitution at a frequency  $f_{OSC}$  by selecting an electric length of a 2nd microstrip line 9 to be nearly  $90^\circ$  to obtain a required oscillation wave. On the other hand, the susceptance  $B'$  of a 3rd microstrip line 15 is set to be  $B+B'=0$  at a resonance frequency  $f_X$  in the undesired mode of a dielectric resonator 2, where  $B$  is the susceptance of the 2nd microstrip line 9. Thus, a voltage across the parallel circuit 16 is increased and acts like a negative feedback voltage with respect to an input voltage to a gate

<http://www.delphion.com/cgi-bin/viewpat.cmd/JP03066213A2>

3/2/2

terminal 4 to cancel the reflection  
gain of the FET 3.

COPYRIGHT: (C)1991,JPO&Japio



3

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-66213

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月20日

H 03 B 5/18

D 8731-5 J

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 マイクロ波発振器

⑯ 特 願 平1-203155

⑰ 出 願 平1(1989)8月4日

⑱ 発 明 者 伊 東 健 治 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑲ 発 明 者 飯 田 明 夫 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

## 明細書

## 1. 発明の名称

マイクロ波発振器

## 2. 特許請求の範囲

入力端子と出力端子と共通端子を有する3端子半導体素子と、前記3端子半導体素子の入力端子に接続された共振回路と、前記3端子半導体素子の出力端子に接続された整合回路とを備えたマイクロ波発振器において、前記3端子半導体素子の共通端子と接地導体との間に、直列共振回路と所定のサセプタンスを有する素子とからなる並列回路を接続したことを特徴とするマイクロ波発振器。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は所望の周波数以外でのスプリアス発振を抑えるマイクロ波発振器に関するものである。

## 〔従来の技術〕

ここでは3端子半導体素子としてドレイン接地したFETを用い、共振回路として誘電体共振器を用いたマイクロ波発振器を例にとり説明を実施

する。第5図は例えば電子通信学会論文誌 Vol. J 69-B No. 11(1986年11月)、1415 ページから1421 ページに記載された従来の構成のマイクロ波発振器の一構成例であり、同図(a)は斜視図、同図(b)は等価回路である。第5図において、(1)は誘電体基板、(2)は誘電体共振器、(3)はFET、(4)はFET(3)のゲート端子、(5)はFET(3)のソース端子、(6)はFET(3)のドレイン端子、(7)は誘電体共振器(2)を共振した第一のマイクロストリップ線路、(8)は終端抵抗、(9)は先端が開放端の第二のマイクロストリップ線路、(10)は出力整合回路、(11)は出力端子、(12)はチョークインダクタ、(13)は電源端子、(14)はバイアス回路である。

次に動作を説明する。一般にドレイン接地したFETは、内部帰還量が多く、また同相の増幅回路として動作するため、発振用の半導体素子として多用されている。第5図に示した従来の構成によるマイクロ波発振器では、ドレイン端子(6)

## 特開平 3-66213(2)

に所要の発振周波数（以下、 $f_{osc}$  と略記する）で約 90 度の電気長を有する第二のマイクロストリップ線路（9）を接続することにより、周波数  $f_{osc}$  近傍のマイクロ波帯において、FET（3）のドレイン端子（6）を接地している。このとき、正の電源電圧を電源端子（13）に加え、直流電流をチャوکインダクタ（12）、FET（3）、出力整合回路（10）、そしてバイアス回路（14）の順に流し、FET（3）を動作させている。さらに、ゲート端子（4）からみた FET（3）が、周波数  $f_{osc}$  において反射利得を有するように、ソース端子（5）に適当な出力整合回路（10）を接続している。そして、周波数  $f_{osc}$  で共振し大きな反射を生じる誘電体共振器（2）を、発振条件を満たすよう長さが設定された第一のマイクロストリップ線路（7）を介しゲート端子（4）に接続することにより、このマイクロ波発振器は周波数  $f_{osc}$  で発振が生じる。このとき発振波は出力端子（11）に出力される。

〔発明が解決しようとする課題〕

- 3 -

らなる並列回路で接地したものである。

〔作用〕

この発明におけるマイクロ波発振器では、FET（3）を、直列共振素子とサセプタンス素子からなる並列回路で接地している。この直列共振素子は周波数  $f_{osc}$  で直列共振するよう定数が設定され、また周波数  $f_x$  で並列回路全体が並列共振するようサセプタンス素子の定数が設定されている。従って、FET（3）は、周波数  $f_{osc}$  では並列回路が低インピーダンスになるので従来の構成と同様に動作し、周波数  $f_x$  では並列回路が高インピーダンスになる。そのため周波数  $f_x$  においては、並列回路の両端の電圧が、ゲート端子（4）への入力電圧に対し負帰還電圧として働くため、ゲート端子（4）からみた FET（3）の反射利得は打ち消される。この並列回路の効果で、周波数  $f_x$  において誘電体共振器（2）の不要なモードによる共振があっても、ゲート端子（4）からみた FET（3）の反射利得が低減されているため、スプリアス発振は生じない。

- 5 -

このような従来の構成によるマイクロ波発振器では、ドレイン端子（6）を、第二のマイクロストリップ線路（9）に接続することにより、周波数  $f_{osc}$  近傍で低インピーダンスで接地している。従って、周波数  $f_{osc}$  近傍では、ゲート端子（4）からみた FET（3）は反射利得を有する。一方、誘電体共振器（2）は  $f_{osc}$  で TE<sub>018</sub> モードの共振が生じるように設計されるが、同時に他の不要なモードによる共振も周波数  $f_{osc}$  近傍に生じる。そのため、従来の構成によるマイクロ波発振器では、第 6 図に示すように周波数  $f_{osc}$  のほか、 $f_{osc}$  近傍の不要なモードによる共振周波数  $f_x$  で発振条件を満たしやすく、スプリアス発振を生じやすい問題点があった。

この発明は上記のような問題点を解消するためになされたもので、スプリアス発振が生じないマイクロ波発振器を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかるマイクロ波発振器は、FET（3）を、直列共振素子とサセプタンス素子とか

- 4 -

〔実施例〕

以下、この発明の一実施例を図について説明する。ここでは並列回路として、先端が開放端であり、電気長がそれぞれ異なる 2 つのマイクロストリップ線路の並列回路を例にとり説明する。第 1 図は本発明によるマイクロ波発振器であり、同図 (a) は斜視図、同図 (b) は等価回路である。第 1 図において、(15) は先端が開放端の第三のマイクロストリップ線路、(16) は並列接続された第二および第三のマイクロストリップ線路（9）、(15) からなる並列回路である。次に動作を説明する。第 1 図に示した本発明の構成によるマイクロ波発振器では、ドレイン端子（6）に並列回路（16）が接続されている。周波数  $f_{osc}$  では、第二のマイクロストリップ線路（9）の電気長を約 90 度に設定することにより、FET（3）のドレイン端子（6）を従来の構成と同様に接地でき、所要の発振波が得られる。一方、誘電体共振器（2）の不要なモードによる共振周波数  $f_x$  では、第二のマイクロストリップ線路（9）

- 6 -

## 特開平 3-66213(3)

のサセプタンスBは容量性( $f_x > f_{osc}$ )あるいは誘導性( $f_x < f_{osc}$ )になる。周波数 $f_x$ において、この第二のマイクロストリップ線路(9)のサセプタンスBに対し次式を満足するように第三のマイクロストリップ線路(15)のサセプタンスB'を設定する。

$$B + B' = 0 \quad (1)$$

この第1式を満足する周波数では、並列回路(16)は並列共振し、高インピーダンスになる。そのため周波数 $f_x$ においては、並列回路(16)の両端の電圧が高くなり、この電圧がゲート端子(4)への入力電圧に対し負帰還電圧として働くため、ゲート端子(4)からみたFET(3)の反射利得は打ち消される。そのため、本発明の構成によるマイクロ波発振器では、第2図に実線で示すように周波数 $f_{osc}$ では発振条件を満足するが、周波数 $f_x$ では反射利得が低減されているため発振条件を満足せず、従ってスプリアス発振は生じない。

なお、上記実施例では並列回路(16)として、

- 7 -

減されるので、これらの周波数でのスプリアス発振は生じない。

また、上記実施例では並列回路(16)として、マイクロストリップ線路を用いたが、マイクロ波発振器に用いる線路の形態に応じて、コプレーナ線路あるいはスロット線路を用いても良い。また、並列回路(16)として、集中定数回路を用いても良い。第4図は並列回路(16)として全て集中定数回路を用いた場合の実施例である。第4図において、(18)はコンデンサ $C_1$ とインダクタ $L$ とからなる直列共振回路、(19)はコンデンサ $C_2$ である。この場合も、 $f_{osc}$ 近傍の誘電体共振器(2)の不要なモードによる共振周波数を $f_x$ とすると、次式を満足するよう $C_1$ 、 $C_2$ 、 $L$ の値を設定すれば良い。

$$2\pi f_{osc} = (C_1 \cdot L)^{-0.5} \quad (3)$$

$$\{(2\pi f_x C_1)^{-1} - 2\pi f_x L\}^{-1} + 2\pi f_x C_2 = 0 \quad (4)$$

この場合も、周波数 $f_x$ ではゲート端子(4)か

- 9 -

長さが異なる2つのマイクロストリップ線路の並列回路を示したが、長さが異なる3つ以上のマイクロストリップ線路の並列回路でも良い。第3図は並列回路として長さが異なる3つのマイクロストリップ線路を用いた場合の実施例である。第3図において、(17)は先端が開放端の第四のマイクロストリップ線路である。この場合、 $f_{osc}$ 近傍の誘電体共振器(2)の不要なモードによる共振周波数が2つある場合有効である(それぞれの共振周波数を $f_{x1}$ 、 $f_{x2}$ と略記)。この場合、周波数 $f_{osc}$ で第二のマイクロストリップ線路を約90度に設定し、第三のマイクロストリップ線路のサセプタンスB'と第四のマイクロストリップ線路(17)のサセプタンスB''とを、周波数 $f_{x1}$ と $f_{x2}$ において、

$$B + B' + B'' = 0 \quad (2)$$

を満足するよう第三および第四のマイクロストリップ線路(15)(19)の電気長を設定すればよい。この場合も、周波数 $f_{x1}$ 、 $f_{x2}$ ではゲート端子(4)からみたFET(3)の反射利得は低

- 8 -

らみたFET(3)の反射利得は低減されるので、これらの周波数でのスプリアス発振は生じず、同様の効果を奏する。

また、上記実施例では3端子半導体素子としてFET(3)で説明したが、その他、バイポーラトランジスタ等のトランジスタでもよく、同様の効果を奏する。

また、上記実施例では共振回路として誘電体共振器(2)で説明したが、その他、YIG共振器、SAW共振器、あるいは可変容量ダイオードを用いた共振回路であってもよく、同様の効果を奏する。

#### 【発明の効果】

以上のようにこの発明によれば、FETの接地を、所望の発振周波数で低インピーダンスになり、かつ誘電体共振器の不要モードによる共振周波数で高インピーダンスになるような並列回路で行うことにより、スプリアス発振を抑えることができる。

#### 4. 図面の簡単な説明

- 10 -

特開平 3-66213(4)

第1図は本発明の一実施例によるマイクロ波発振器の斜視図と等価回路、第2図は本発明の一実施例によるマイクロ波発振器のゲート端子からみたFETの利得と発振スペクトル図、第3図、第4図は本発明の他の実施例による並列回路の等価回路、第5図は従来の構成によるマイクロ波発振器の斜視図と等価回路、第6図は従来の構成によるマイクロ波発振器のゲート端子からみたFETの利得と発振スペクトル図である。

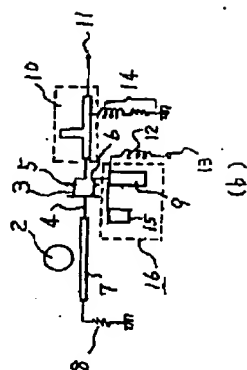
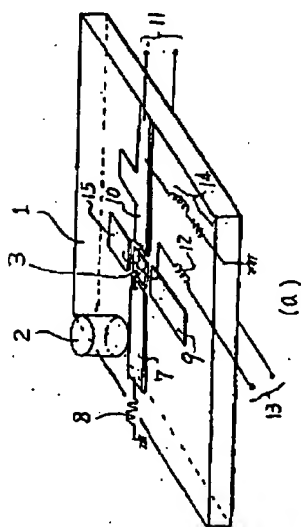
図中(1)は誘電体基板、(2)は誘電体共振器、(3)はFET、(7)、(9)、(15)、および(17)はマイクロストリップ線路、(8)は終端抵抗、(10)は出力整合回路、(11)は出力端子、(12)はチャークインダクタ、(13)は電源端子、(14)はバイアス回路、(16)は並列回路である。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増雄(ほか2名)

- 11 -

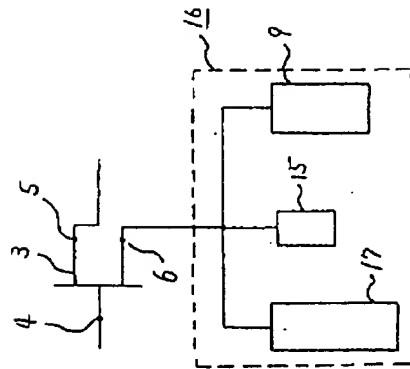
第1図



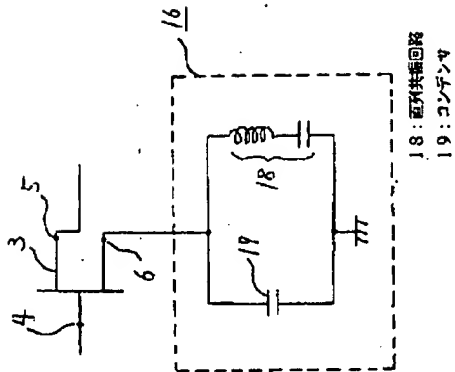
- |                       |               |
|-----------------------|---------------|
| 1: 誘電体基板              | 8: 終端抵抗       |
| 2: 誘電体共振器             | 10: 出力整合回路    |
| 3: FET                | 11: 出力端子      |
| 4: ゲート端子              | 12: チャークインダクタ |
| 5: ソース端子              | 13: 電源端子      |
| 6: ドレイン端子             | 14: バイアス回路    |
| 7, 9, 15: マイクロストリップ線路 | 16: 並列回路      |

特開平 3-66213(5)

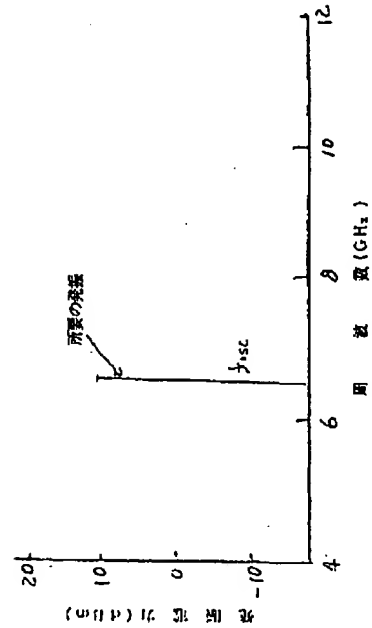
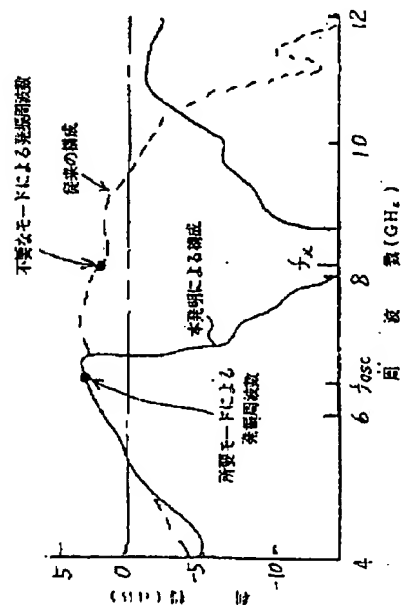
第 3 図



第 4 図

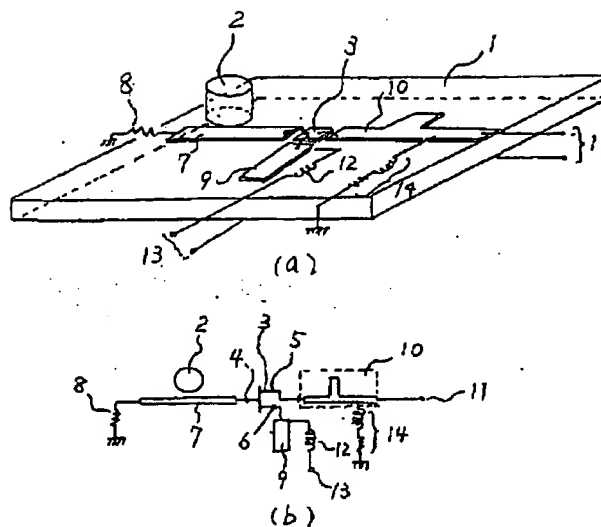


第 2 図

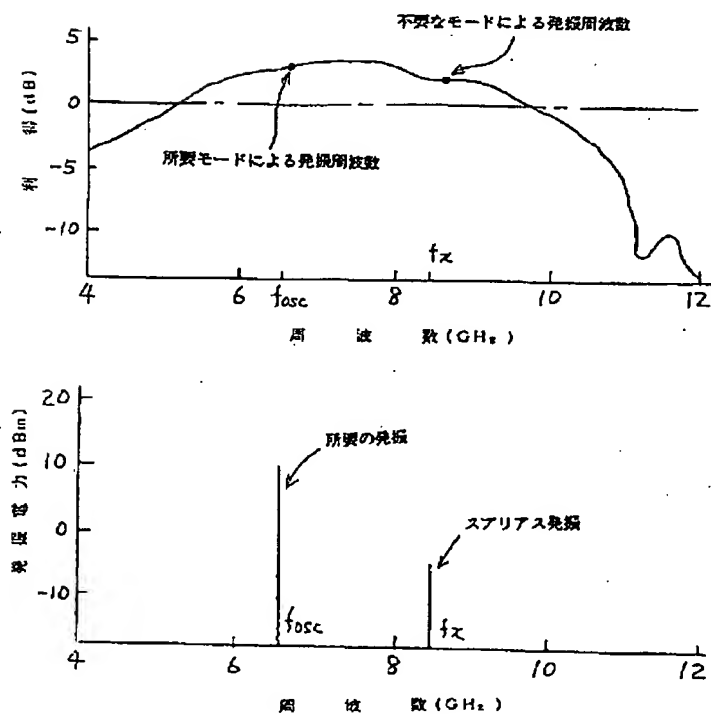


特開平 3-66213(6)

第 5 図



第 6 図





特開平 3-66213(7)

手続補正書(自発)

平成 2 年 2 月 6 日

特許庁長官殿

平

特願昭 1-203155 号

## 1. 事件の表示

## 2. 発明の名称

マイクロ波発振器

## 3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内二丁目2番3号

名称 (601)三菱電機株式会社

代表者 志岐守哉

## 4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内氏名 (7375)弁理士 大岩 増雄  
(連絡先03(213)3421特許部)

## 5. 補正の対象

(1)明細書中発明の詳細な説明の欄。

方式  
審査

## 6. 補正の内容

(1)明細書中第4頁第5行目に「従って、」とあるのを「このとき、」と訂正する。

(2)同中第4頁第6行目に「FET (a)は」であるのを「FET (a)は比較的広帯域に」で訂正する。

以上